

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭55-46594

⑫ Int. Cl.<sup>3</sup>  
H 01 L 27/12  
27/04  
29/78

識別記号

庁内整理番号  
6426-5F  
7210-5F

⑬ 公開 昭和55年(1980)4月1日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ 高い絶縁耐力を持つモノリシック集積回路

⑮ 特 願 昭54-124692

⑯ 出 願 昭54(1979)9月27日

優先権主張 ⑰ 1978年9月28日 ⑱ 西ドイツ  
(DE) ⑲ P2842319.0

⑳ 発 明 者 リュディガー・ミュラー  
ドイツ連邦共和国ミュンヘン83  
ブツブルンナーシュトラッセ  
131

㉑ 発 明 者 ミヒアエル・ポムパー  
ドイツ連邦共和国シュリールゼ

㉒ 発 明 者 ルードウィツヒ・ライポルト  
ドイツ連邦共和国ミュンヘン40  
レルヒエナウエルシュトラッセ  
38

㉓ 出 願 人 シーメンス・アクチエンゲゼル  
シャフト  
ドイツ連邦共和国ベルリン及ミ  
ュンヘン(番地なし)

㉔ 代 理 人 弁理士 富村潔

明 細 書

1 発明の名称 高い絶縁耐力を持つモノリシッ  
ク集積回路

2 特許請求の範囲

1) 信号結合部(8X)が、1次回路(PB)  
およびこの1次回路と結合されるべき2次回  
路(BB)と共通に、チップ(CH)上に集  
積され、信号結合部(8X)に対し集積され  
た結合コンデンサ(0X)が備えられ、この  
結合コンデンサは公知の不活性層(PAB)中  
に埋められた同平面の導体路配置(1-a-  
2)により実現され、之は熱にサファイア  
から成る絶縁基板(80B)上に付着される  
ことを特徴とする導電的に分離された回路の  
結合のための、高い絶縁耐力を持つモノリシ  
ック集積回路。

2) 同平面の導体路により実現された結合コン  
デンサをチップ(CH)上に備え、結合コン  
デンサは共通に容量分圧器に直列接続により

(1)

結合接続され、導体路相互の間隔は、単一の  
同平面導体路配置(1-a-2)により実現  
された結合コンデンサ(0X)における導体  
路の間隔と比較して小さくされることを特徴  
とする特許請求の範囲第1項記載のモノリシ  
ック集積回路。

3) 不活性層(PAB)は高い比誘電率を持  
つことを特徴とする特許請求の範囲第2項記  
載のモノリシック集積回路。

4) チップ(CH)が外部から影響され得る信  
号入力(E)、およびチップ(CH)が外部  
へ向けて作用する信号出力(A)が備えられ、  
1次回路(PB)は発振器(0B2)により  
実現され、之は信号入力(E)を経て到達す  
る信号の受信の瞬交流信号を送出し、2次回  
路(BB)は増幅器(VB)と増幅器(VB)  
の出力および信号出力(A)の間に挿入され  
た整流器(0L)とにより実現され、発振器  
(0B2)からそれぞれ送出された交流信号

(2)

は、結合コンデンサ(0E)を経て増幅器(VB)の入力に結合され、よつて信号出力(W)から信号入力(E)に導入された信号に対応する信号を取り出し得ることを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載のモノリシック集積回路。

5) 発振器(0BZ)は予定の周波数、殊に一般に帯域フィルタ特性を持つ全回路の、中間周波数をもつて振動することを特徴とする特許請求の範囲第4項記載のモノリシック集積回路。

6) 発振器(0BZ)は、結合回路と、この結合回路の出力に接続された少くも1個のインバータから成り、公知のリング発振器として実施され、発振器(0BZ)の振動周波数はインバータの数の選定により決定可能であることを特徴とする特許請求の範囲第5項記載のモノリシック集積回路。

7) 発振器(0BZ)は結合回路と、この結合(3)

れから1次回路(PB)のエネルギー供給のために短時間のパルスが取出し可能であることを特徴とする特許請求の範囲第8項記載のモノリシック集積回路。

### 3 発明の詳細な説明

この発明は、導電的に分離された回路の結合のための、高い絶縁耐力を持つモノリシック集積回路に関する。

電荷で直接動作する回路に対し、多くの場合当該の入力側を出力側から高い絶縁耐力例えば15 kVを持つ両側の間の導電的分離が規定されている。かかる回路は従来は例えば変圧器、コンデンサ或は光結合器のような、もつぱら分離される構造要素によつて実現された。公知の半導体リレーは例えばハイブリッド集積構造素子によつて実現され、その際そこに使用された光結合器はホトダイオード、導光区間およびホトトランジスタから成る。上記の目的に対しコンデンサの使用は、例えば雑誌 'Elektor' 1976年7/8月号

(5)

特開昭55-46594(2)

回路の出力に接続された少くも1個のインバータとから成り、公知のリング発振器として実施され、発振器の振動周波数はインバータ位相時間の選定により決定可能であることを特徴とする特許請求の範囲第5項記載のモノリシック集積回路。

8) 1次回路(PB)のエネルギー供給のため、エネルギー結合器(BK)がタップ(CH)上に配置され、之は信号結合器(BE)のよう<sup>out-levic</sup>に実施され、かつ付加的に2次電圧源(UB)から1次回路(PB)へエネルギー伝送の目的で、入力側に少くも1個の発振器(0BZ)、出力側に少くも1個の整流器(0L)を持つことを特徴とする特許請求の範囲第1項ないし第7項記載のモノリシック集積回路。

9) 発振器(0BZ)の出力信号は、発振器に所属する増幅器(VB)により増幅され、しかして整流器の後にエネルギー蓄積器(EBP)、殊に蓄積コンデンサ(0G)が接続され、七

(4)

7-48/49頁の 'Kapazitiver Triac-Koppler' から公知である。

公知の回路は殊に、比較的複雑であり、その上コストが高い欠点を持つ。

この発明の目的は、入力側および出力側の間の区間の絶縁耐力が高く、所収空間が小さく、製作コストが低い利点を持つ回路を得ることにある。

この目的を達成するためこの発明によれば、導電的に分離された回路の結合のための高い絶縁耐力を持つ、モノリシック集積回路において、信号結合器が1次回路、およびこの1次回路と結合されるべき2次回路と共通にタップ上に集積され、信号結合器に対し集積された結合コンデンサが備えられ、之が公知の、不活性層中に埋込まれた同平面の導体路配設により実現され、之は絶縁された基板殊にサブファイヤから成る基板上に付着される如くするのである。

上記の形式の同平面の導体路配設は 'Siemens Forschung-und Entwicklungsberichte' ]

(6)

1976年5巻2号、72~75頁のH.Pritschkeの「Capacitances of Coplanar Microstrip Lines in Integrated Circuits」から公知である。

この発明は比較的高い絶縁耐力の達成が可能であり、之はそうでない場合にはパルスシリコン技術により、極めて困難にのみ再現可能であるという利点を与える。更にこの発明のモノリシック集積回路は小さい空間容積を持つのみであり、製作コストが満足すべきものである利点を持つ。

この発明の他の構成は、同平面の導体路配置により実現された多数の結合コンデンサをチップ上に備え、結合コンデンサは共通に、直列接続により容量分圧器に結合され、導体路の相互の間隔は、単一の導体路配置により実現される<sup>結合</sup>コンデンサの配置における導体路の間隔に比肩して小さくされるのである。

この構成によれば全回路の入力および出力の間の区間の絶縁耐力を高め得る利点が得られる。

(7)

第1図はチップ08上にモノリシックに集積されたスイッチの簡易化されたブロック接続図を示し、このスイッチは2次側において消費回路Vと接続され、導電的分離部0Tを包含する(固体リレー)。1次回路P8を2次側から給電したい場合、2次回路88に作用する所の信号結合器8Kに付加的に、エネルギー伝達のための回路、すなわちエネルギー結合器8Eが必要である。8WKにより信号路、8WKによりエネルギー路を渡す。

第2図は容量性の信号結合器に対する回路のブロック接続図を示す。1次側Pにおいて、信号入力Eにより制御される発振器082により高周波の信号が発生され、結合コンデンサ0Kを経て2次側8に伝達され、そこで増幅され(V8)、整流される(0L)(出力信号A)。

第3図は不活性層P88中に導入され、絶縁された基板8UB上に存在する所の集積された結合コンデンサの配置を示す(BSP I-808技術)。容量は同平面の集積路配置1-a-2Kによ

(8)

特開昭55-46594(3)

次に図示実施例についてこの発明を説明する。

第1図は各側の回路範囲が単一のチップ08上に集積して配置された、この発明により実施された集積固体リレーのブロック接続図、第2図は信号伝達のためこの発明により実施された集積された容量結合器のブロック接続図、第3図は不活性層P88中で基板8UB上に同平面の導体路1、2が配置されたことを説明する、この発明により構成された回路の断面、第4図はこの発明による多数の同平面の導体路の配置の断面、第5図は導体路1、2の間隔dに關係する絶縁耐力 $E_{max}$ の定性的曲線、第6図はこの発明により実施された集積された容量結合器のゲート接続図、第7図は第6図のゲート接続図に關連して実施された、この発明により構成された集積された容量結合器の接続図、第8図はエネルギー伝達のためにこの発明により構成された集積された容量結合器のブロック接続図、第9図は第8図の結合器の詳細接続図である。

(9)

り得られる。かかる配置により極めて高い絶縁耐力が達成され、之はそうで無ければパルスシリコン技術により極めて困難にのみ実現される。絶縁耐力は不活性表面の酸欠キボルトの範囲にあり、容量値は100pFの範囲にある。

BSP I-808技術はパンフレット「Siemens Halbleiterbauelemente für die Elektronik」注文番号B10/1431、60~61頁に記載してある。

絶縁耐力 $E_{max}$ は間隔dが小さいとき、強い上昇が記載されるので(第5図参照)、多くの同平面のコンデンサ(導体路)を、間隔の減少と同時に直列に接続し、之により高い絶縁耐力および大きな結合容量が得られることは有利である(第4図を参照)。この場合内方の導体路2...n-1は固定電位にない。多数導体配置の絶縁耐力を高めるための前提は、導体路の正確な対称性であり、之は現在の技術により比較的容易に実現される。

第3図、第4図および第5図により、2乃至n

(10)

個導体において、絶縁耐力  $U_{DB}$  に対し下式が適用される。

$$U_{DB12} \approx E_{12} \cdot a \quad (1)$$

$$\text{および } U_{DB12} \approx n E_{12} \cdot a \quad (2)$$

$n$  個導体路により同じ絶縁耐力を得るため

$$E_{12} \geq E_{12} \frac{a}{n \cdot a} \quad (3)$$

が適用しなければならず、

$$0K1n > 0K12 \text{ および } a^{\frac{1}{n}} < a$$

の場合、結合コンデンサ  $0K$  の長さおよび面積に  
関し、其の利得が得られる。

結合容量を一層高めるため、不活性層ができる  
だけ高い比誘電率を持つ必要がある。

第6図および第7図は信号伝達に対する EBFI  
- 800 技術において実施された容量結合回路の  
例を示す。回路素子は EBFI 技術に使用される  
のと同様の、普通のトランジスタ、ダイオード、  
抵抗および容量 ( $0K$  は除く) である。かかる伝  
達路は寄生フィードバック特性を示すので、発振器周波  
数を中心周波数に同調させるとよい。このことは

(11)

絶縁力の定性的意味、第6図はこの発明による集  
積容量結合器のゲート接続図、第7図は第6図に  
関係する集積容量結合器の接続図、第8図はこの  
発明による容量結合器のブロック接続図、第9図  
は第8図の結合器の詳細接続図である。

図において

1, 2...導体路、A...信号出力、CH...チ  
ップ、CG...寄生コンデンサ、OK...結合コンデ  
ンサ、E...信号入力、EK...結合器、ESP...エ  
ネルギー蓄積器、EW...信号路、OL...整流器、  
OT...分路器、P...1次側、OSS...発振器、  
PASS...不活性層、PS...1次回路、S...2次  
側、SE...信号結合器、SS...2次回路、STA  
...出力段、STE...入力段、SUB...絶縁された  
基板、SW...信号路、 $U_{DB}$ ...絶縁耐力、 $U_B$ ...  
2次電圧源、VB...増幅器。

(515) 代理人 方理士 富村 徹

(12)

特開昭55-46594(4)

リング発振器の周波数の選定、或はインバータ低  
時間の変更によつて行うことができる。この状態  
中の入力および出力段をそれぞれ STE, STA  
で、増幅器 VB、整流器 OL によつて示す。

第8図および第9図は、容量結合器によるエネ  
ルギー供給に対する実施回路の例を示す。高い周  
波数  $f_{oss}$  の発振器信号は電圧を増幅され ( $U_B$ )、  
 $OK$  を経て1次側に伝達される。その際値  $U_B \cdot$   
 $2f_{oss} \cdot OK$  を持つ電流が流れる。電流は整  
流され、寄生コンデンサ  $CG$  を充電する。蓄積さ  
れたエネルギーは1次回路に短時間電流を供給す  
るのに十分である。

#### 4 図面の簡単な説明

第1図はこの発明による、チップ上に配置さ  
れた固体リレーのブロック接続図、第2図はこの  
発明による集積された容量結合器のブロック接続  
図、第3図はこの発明により構成された回路の断  
面、第4図はこの発明による多数の同平面導体路  
配置の断面、第5図は導体路の間隔に關係する絶

(12)

FIG 1

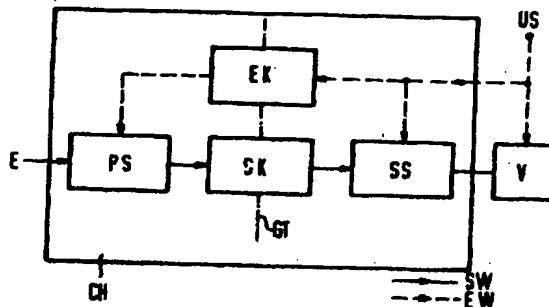


FIG 2

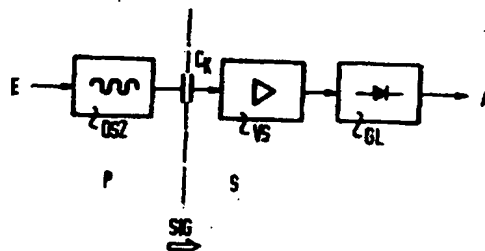


FIG 3



FIG 4

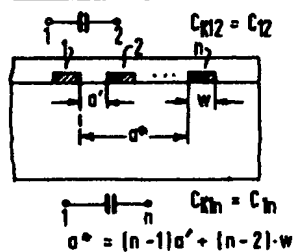


FIG 5

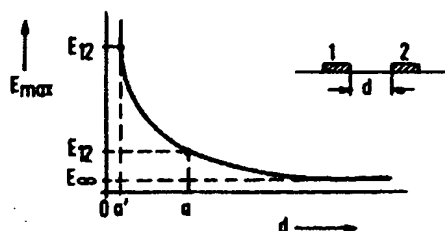


FIG 6

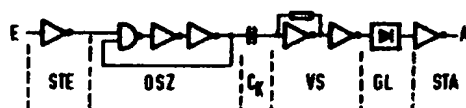


FIG 7

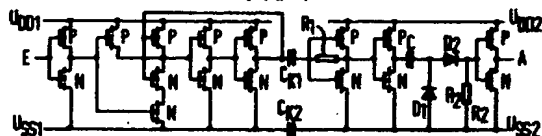


FIG 8

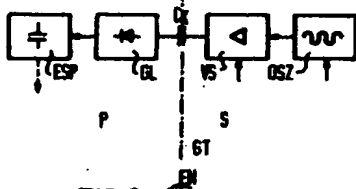


FIG 9

